

## 打ち合わせとか

朝は @ 矢上 , 昼は , 勉強会 @ 本郷

## 一言メモ

- SERV - The SERIAL RISC-V CPU - <https://github.com/olofk/serv>
- RISC-V な FPGA SoC か - <https://www.microsemi.com/product-directory/soc-fpgas/5498-polarfire-soc-fpga>
- SpinalHDL - <https://github.com/SpinalHDL>
  - muo-notes yet another Scala でデジタル回路を書く仕組み : Spinal HDL - <https://www.muojp/2016/08/spinal-hdl.html>
- The EPFL Logic Synthesis Libraries - <https://arxiv.org/abs/1805.05121>
  - <https://arxiv.org/pdf/1805.05121.pdf>
- Bootstrapping a real working design flow - <https://www.youtube.com/watch?v=ztcAbszOBs8&app=desktop>
  - 全部オープンソースで RISC-V のチップ作ったよ . でも SRAM は別だよ , という話らしい .
- SiFive の開発サポートツールあれこれ
  - <https://github.com/sifive/wit>
  - <https://github.com/sifive/wake>
  - <https://github.com/sifive/DuH>
- SiPeed のプロセッサに関して
  - <https://kendryte.com/>
  - <https://kendryte.com/downloads/>
  - <https://github.com/kendryte>